

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-020286

(43)Date of publication of application : 29.01.1993

(51)Int.Cl.

G06F 15/16

G06F 15/66

(21)Application number : 03-150521

(71)Applicant : SONY CORP

(22)Date of filing : 21.06.1991

(72)Inventor : HASEBE ATSUSHI

ITO TOKUICHI

FUJITA HIROYUKI

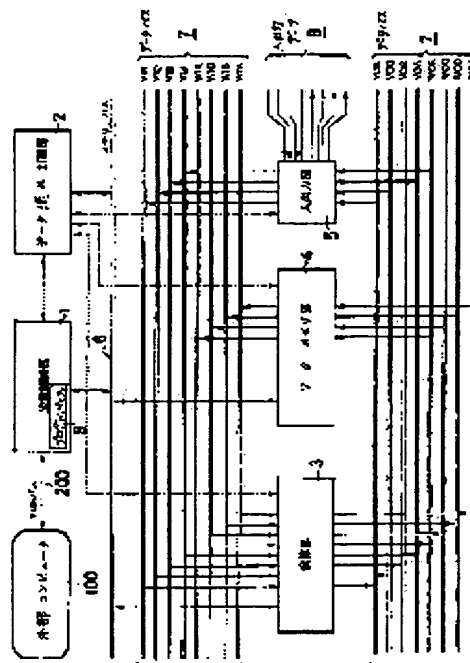
KATO MASAHIRO

## (54) IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To efficiently transfer data by an image processor.

CONSTITUTION: The image processor is constituted of a device control part 1, a data flow control part 2, an arithmetic part 3, a work memory part 4, an I/O part 5, a memory bus 6, a data bus 7, an I/O data line 8, and a program buffer memory 9 and communication or data transfer is executed between the control part 1 and an external computer 100. The memory bus 6 is managed by the control part 1. A program applied from the computer 100 is written in the memory 9 of the control part 1 and the program read out from the memory 9 is loaded to the control part 2 and the arithmetic part 3 through the bus 6.



## LEGAL STATUS

[Date of request for examination] 14.04.1998

[Date of sending the examiner's decision of rejection] 06.06.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平5-20286

(43)公開日 平成5年(1993)1月29日

(51) Int.Cl.<sup>5</sup>

G O B F 15/16  
15/66

識別記号

4 2 0 S  
J

庁内整理番号

9190-5 L  
8420-5 L

FI

### 技術表示箇所

審査請求 未請求 請求項の数 1 (全 18 頁)

(21)出願番号 特願平3-150521

(22)出願日 平成3年(1991)6月21日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 長谷部 淳

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 伊藤 徳一

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(72)発明者 藤田 裕之

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(74)代理人 弁理士 松隈 秀盛

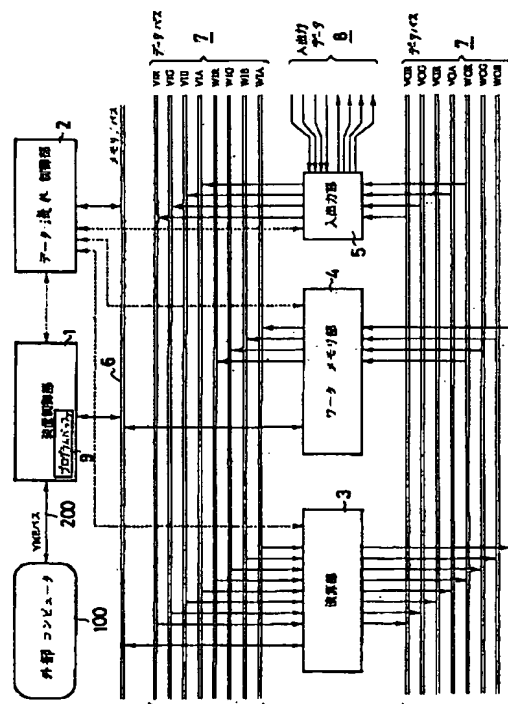
[最終頁に続く](#)

(54)【発明の名称】 画像処理装置

(57) 【要約】

【目的】 画像処理装置においてデータの転送を効率よく行うことができるようにする。

【構成】 装置は装置制御部１、データ流れ制御部２、演算部３、ワークメモリ部４、入出力部５及びメモリバス６、データバス７、入出力データ線８、プログラムバッファメモリ９によって構成されると共に、装置制御部１と外部コンピュータ１００との間で通信やデータの転送が行われる。またこの装置制御部１でメモリバス６の管理が行われる。そして外部コンピュータ１００からのプログラムが装置制御部１のプログラムバッファメモリ９に書き込まれ、このプログラムバッファメモリ９から読み出されたプログラムが、メモリバス６を経由してデータ流れ制御部２、演算部３にロードされる。



**【特許請求の範囲】**

**【請求項1】** 外部コンピュータが接続される装置制御部と、この装置制御部からの制御信号が供給されるデータ流れ制御部と、上記外部コンピュータからロードされるプログラムによって駆動され上記装置制御部からのデータ信号が供給されると共に上記データ流れ制御部からの制御信号が供給される演算部と、この演算部との間でデータが転送されると共に上記データ流れ制御部からの制御信号が供給されるワークメモリ部と、上記演算部との間でデータが転送されると共に上記データ流れ制御部からの制御信号が供給される入出力部とから成り、上記装置制御部にはプログラムバッファメモリが設けられ、上記外部コンピュータからのプログラムが上記プログラムバッファメモリに書き込まれた後、上記演算部にロードされるようにしたことを特徴とする画像処理装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、例えば人工衛星からの画像データの処理を行う画像処理装置に関するものである。

**【0002】**

**【従来の技術】** 画像処理装置に適用可能な装置として、本願発明者は先にマイクロプログラムによって駆動される多数のプロセッサからなると共に、これらのマイクロプログラムがマイクロプログラムメモリに設けられるようにしたデジタル信号処理装置を提案した（特開昭58-215813号公報参照）。この装置によれば、並列に処理を行うことによって多量のデータを短時間で処理することができ、特に画像処理に適用した場合にこれを良好に行うことができる。

**【0003】** ところがこの装置において、プロセッサを駆動するマイクロプログラムは外部コンピュータからロードされる。その場合に従来は多数のプロセッサの各マイクロプログラムメモリを、それぞれ外部コンピュータから直接アクセスして転送するようにしていた。しかしながら一般的に外部コンピュータからの転送レートは遅いものであって、このためマイクロプログラムの転送を効率よく行うことができないものであった。

**【0004】**

**【発明が解決しようとする課題】** 解決しようとする問題は、従来の装置ではマイクロプログラムの転送を効率よく行うことができないというものである。

**【0005】**

**【課題を解決するための手段】** 本発明は、外部コンピュータ100が接続される装置制御部1と、この装置制御部からの制御信号が供給されるデータ流れ制御部2と、上記外部コンピュータからロードされるプログラムによって駆動され上記装置制御部からのデータ信号が供給されると共に上記データ流れ制御部からの制御信号が供給される演算部3と、この演算部との間でデータが転送さ

れると共に上記データ流れ制御部からの制御信号が供給されるワークメモリ部4と、上記演算部との間でデータが転送されると共に上記データ流れ制御部からの制御信号が供給される入出力部5とから成り、上記装置制御部にはプログラムバッファメモリ9が設けられ、上記外部コンピュータからのプログラムが上記プログラムバッファメモリに書き込まれた後、上記演算部にロードされるようにしたことを特徴とする画像処理装置である。

**【0006】**

**【作用】** これによれば、外部コンピュータからのプログラムがプログラムバッファメモリに書き込まれた後、演算部にロードされるようにしているので、プログラムの転送を効率よく行うことができる。

**【0007】**

**【実施例】** 図1は画像処理装置の全体の構成を示す。この図において、装置は装置制御部1、データ流れ制御部2、演算部3、ワークメモリ部4、入出力部5及びメモリバス6、データバス7、入出力データ線8によって構成される。さらに装置制御部1にプログラムバッファメモリ9が設けられる。また100は外部コンピュータであって、この外部コンピュータ100は装置には含まれないが、システムバス（例えばVMEバス）200を介して装置と接続され、装置の実行制御やプログラム開発環境として使用される。なお図中の破線は制御線、実線はデータ線が示される。

**【0008】** この装置において、装置制御部1と外部コンピュータ100との間で通信やデータの転送が行われる。またこの装置制御部1でメモリバス6の管理が行われる。そして外部コンピュータ100からのプログラムが装置制御部1のプログラムバッファメモリ9に書き込まれ、このプログラムバッファメモリ9から読み出されたプログラムが、メモリバス6を経由してデータ流れ制御部2、演算部3にロードされる。さらに外部コンピュータ100からワークメモリ部4のアクセスが行われる。

**【0009】** また装置制御部1とデータ流れ制御部2の間で通信が行われ、このデータ流れ制御部2での処理が管理される。そしてこのデータ流れ制御部2では、後述する演算部3の各プロセッサとの通信や各プロセッサとデータバス7間の入出力制御が行われる。またワークメモリ部4及び入出力部5に対してそれぞれのメモリアドレス生成の制御が行われる。

**【0010】** さらに演算部3は多数（例えば72個）のプロセッサからなっている。またワークメモリ部4は例えばメモリとアドレス生成部とからなり、アドレスのビット割り付けにより1次元から多次元までのメモリとして使用される。さらに入出力部5は例えばダブルバッファ方式のメモリで構成され、高速レートのデータの入出力ができると共に、外部同期方式によって入出力データ線8に接続される装置のレートに合わせて入出力を行う

3

ことができる。

【0011】またデータバス7は例えば16本の独立したバス線VIR、VIG、VIB、VIA、WIR、WIG、WIB、WIA、VOR、VOG、VOB、VOA、WOR、WOG、WOB、WOAによって構成され、この内の8本（VIR、VIG、VIB、VIA、WIR、WIG、WIB、WIA）が演算部3に入力データを供給するバス線とされ、他の8本（VOR、VOG、VOB、VOA、WOR、WOG、WOB、WOA）が演算部3から出力データの供給されるバス線とされる。さらにこれらのバス線のそれぞれ4本ずつ（WIR、WIG、WIB、WIA、WOR、WOG、WOB、WOA）がワークメモリ部4に接続され、残りの4本ずつ（VIR、VIG、VIB、VIA、VOR、VOG、VOB、VOA）が入出力部5に接続される。なおワークメモリ部4及び入出力部5への接続は、演算部3と入出力関係が逆にされる。

【0012】さらに図2は装置制御部1の具体構成を示す。この図において外部コンピュータ100はシステムバス（例えばVMEバス）200を介してメモリバス6に接続される。また装置制御部1はメモリバス制御部11と、装置制御部プロセッサ12、動作制御レジスタ13とからなると共に、装置制御部プロセッサ12に内蔵してプログラムバッファメモリ9が設けられる。

【0013】ここでメモリバス制御部11は、メモリバス6のデータを取り込み、解釈し、目的の機能がメモリバス6とデータをやり取りできるように制御線14、15、16を通じてメモリバス6の管理を行う。なお制御線14は装置制御部プロセッサ12にプログラムをロードする際に用いられる。制御線15は動作制御レジスタ13に制御データを設定する場合や、装置内部の状況を示す状態信号を読み出す場合に用いられる。制御線16はワークメモリ部4を外部コンピュータ100がアクセスする際に用いられる。

【0014】また装置制御部プロセッサ12は、外部コンピュータ100からのプログラムがメモリバス6を通じてロードされて動作可能にされる。このプログラムは一旦プログラムバッファメモリ9に書き込まれた後、装置制御部プロセッサ12に設けられたロードによって装置制御部プロセッサ12のプログラムメモリにロードされる。さらにデータ流れ制御部2や演算部3の各プロセッサのプログラムメモリへのプログラムのロードは、装置制御部プロセッサ12の制御でプログラムバッファメモリ9からプログラム転送線91と開閉器92を通じてメモリバス6経由で行われる。なお開閉器92の開閉は動作制御レジスタ13によって制御される。また開閉器92が開放の場合、バス分離器93は動作制御レジスタ13の制御によって閉じられるようにされている。

【0015】さらにこの装置制御部プロセッサ12では、制御線17を通じてデータ流れ制御部2と通信して

4

処理のタイミングを合わせたり、データ流れ制御部2の状況を外部コンピュータ100に伝えるために制御線18を通じて動作制御レジスタ13に状況データを設定する。

【0016】また動作制御レジスタ13は、外部コンピュータ100から装置を直接制御する制御データがメモリバス6を通じて供給され、制御線15によってこの制御データが設定される。この制御データは制御線19を通じて装置の各部に伝えられる。

10 【0017】さらにこの装置制御部1の中で、装置制御部プロセッサ12は図3に示すように構成されている。すなわちこの図において、従来の装置制御部プロセッサ12には装置全体に制御を司るプロセッサ901が設けられているのみであったが、この図においては外部コンピュータ100から転送されるデータやプログラムを一旦蓄えるプログラムバッファメモリ9が設けられると共に、さらに装置内の各プロセッサ（プロセッサ901を除く）のプログラムメモリにアドレスを供給するアドレス生成器902と、プログラムバッファメモリ9にアドレスを供給するアドレス生成器903とが設けられる。  
20 なおプロセッサ901にて、2つのアドレス生成器902と903のアドレス生成範囲を規定するパラメータの設定と起動が制御される。またプロセッサ901にて、データやプログラムの転送される装置内の各プロセッサの指定も行われる。

【0018】さらに外部コンピュータ100とプロセッサ901が通信され、装置にデータを転送することが伝えられる。また外部コンピュータ100からの外部アドレスとアドレス生成器903からの内部アドレスとが選択器904に供給される。そして外部コンピュータ100から動作制御レジスタ13経由で伝送されたアドレス選択信号によってこれらの一方が選択される。同様に外部コンピュータ100からの外部書込/読出制御信号とアドレス生成器903からの内部書込/読出制御信号とが選択器905に供給される。そして外部コンピュータ100から動作制御レジスタ13経由で伝送されたアドレス選択信号によってこれらの一方が選択される。そこで選択器904、905で外部コンピュータ100側が選択され、このとき外部書込/読出制御信号が書込指示  
30 になっていると、外部コンピュータ100からのデータがプログラムバッファメモリ9に書き込まれる。

40 【0019】これに対して、プログラムバッファメモリ9から装置内の各プロセッサにデータやプログラムをロードする場合には、まず外部コンピュータ100とプロセッサ901が通信され、各プロセッサにデータをロードすることが指示される。次に外部コンピュータ100から動作制御レジスタ13経由で伝送されたアドレス選択信号によって選択器904、905で、アドレス生成器903からの内部アドレスと内部書込/読出制御信号が選択される。さらにアドレス生成器903側が選択さ  
50

5

れているときは、外部コンピュータ100から動作制御レジスタ13経由で伝送される制御信号によってトライステイト907が閉じられる。またもう一方のトライステイト908はアドレス選択信号によってアドレス生成器903が選択されているときのみ開かれる。

【0020】さらにプログラムバッファメモリ9のどのアドレスを、どのプロセッサに、どんな順序で転送するかはプロセッサ901のプログラムによって指示される。なおプロセッサ901からは2つのアドレス生成器902と903にどのアドレス領域のアドレスを生成するかを指示するパラメータが与えられて起動される。また起動は目的のプロセッサにアドレスとデータが同時に到着するように個別に行われる。

【0021】そしてアドレス生成器903のアドレスでプログラムバッファメモリ9から目的のデータが読み出され、読み出されたデータは信号線909、トライステイト908を通じて各プロセッサに転送される。またデータを各プロセッサのプログラムメモリに書き込むアドレスはアドレス生成器902から送られる。さらにアドレス生成器902、903のアドレス生成動作はそれぞれのアドレス生成器から来るステータス信号を用いてプロセッサ901でモニターされる。

【0022】ここで一般に外部コンピュータ100とプログラムバッファメモリ9との間は、外部コンピュータ100からプログラムバッファメモリ9に書き込みが行われるだけであるが、上述の装置ではさらにプログラムバッファメモリ9の正しい動作の診断を行えるよう、また外部コンピュータ100が転送したデータを再び外部コンピュータ100側から読み出して確認を行えるように、外部コンピュータ100側からの読み出しも行えるようになっている。

【0023】すなわちその場合には、外部コンピュータ100からの外部書込／読出制御信号で読出が選択される。これによって読み出されたデータは信号線909、トライステイト907を通じて外部コンピュータ100に転送される。この外部コンピュータ100側の読み出し時にトライステイト907は外部コンピュータ100から動作制御レジスタ13経由で伝送される制御信号によって開かれる。またもう一方のトライステイト908はアドレス選択信号によってアドレス生成器903が選択されているとき以外は閉じられる。

【0024】また図4はデータ流れ制御部2と装置制御部1及び演算部3との関係を示す説明図である。この図において、データ流れ制御部2は例えば4個のデータ流れ制御部プロセッサ21R、21G、21B、21Aからなり、それぞれがデータバス7の1/4（末尾の英字の等しいもの）づつに対応してこれらのデータの流れを制御する。なお上述の装置制御部1からの制御線17は、4個のデータ流れ制御部プロセッサ21R、21G、21B、21Aに対してそれぞれ往路及び復路の計

6

8本が独立に設けられる。

【0025】一方、演算部3は例えば72個のプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>が18個づつの4組に分割され、これらの各組ごとにデータバス7の末尾の英字の等しいバス線（4本）が接続されると共に、各組ごとに英字の等しいデータ流れ制御部プロセッサ21R、21G、21B、21Aと通信して処理が進められる。なおデータ流れ制御部プロセッサ21R、21G、21B、21Aと演算部3のプロセッサとの間は各組ごとに共通の2本の制御線で通信が行われると共に、各組ごとに共通の4本の制御線でそれぞれデータバス7のバス線VIR、VIG、VIB、VIA、WIR、WIG、WIB、WIA、VOR、VOG、VOB、VOA、WOR、WOG、WOB、WOAとの入出力の制御が行われる。

【0026】さらにデータ流れ制御部2は、図5に示すようにワークメモリ部4及び入出力部5のアドレス生成器のパラメータ設定及び制御も行う。すなわち図において、ワークメモリ部4のアドレス生成器41R<sub>1</sub>、41R<sub>2</sub>、41G<sub>1</sub>、41G<sub>2</sub>、41B<sub>1</sub>、41B<sub>2</sub>、41A<sub>1</sub>、41A<sub>2</sub>及び入出力部5のアドレス生成器51R<sub>1</sub>、51R<sub>2</sub>、51G<sub>1</sub>、51G<sub>2</sub>、51B<sub>1</sub>、51B<sub>2</sub>、51A<sub>1</sub>、51A<sub>2</sub>、52R<sub>1</sub>、52R<sub>2</sub>、52G<sub>1</sub>、52G<sub>2</sub>、52B<sub>1</sub>、52B<sub>2</sub>、52A<sub>1</sub>、52A<sub>2</sub>に対して、上述の演算部3と同様に英字の等しい各組ごとに英字の等しいデータ流れ制御部プロセッサ21R、21G、21B、21Aからのパラメータ設定及び制御が行われる。

【0027】また図6は演算部3の全体の構成を示す。この図において、上述のように例えば72個のプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>は18個づつの4組に分割され、これらの各組ごとにデータバス7の末尾の英字の等しいバス線（4本）に接続される。従ってそれぞれバス線VIR、VIG、VIB、VIA、WIR、WIG、WIB、WIAからデータが供給され、処理されたデータはバス線VOR、VOG、VOB、VOA、WOR、WOG、WOB、WOAに出力される。さらに各添数字の等しいプロセッサ31R<sub>i</sub>、31G<sub>i</sub>、31B<sub>i</sub>、31A<sub>i</sub>（i=1～18）同士が信号線32<sub>i</sub>で接続されることによって、例えばデータが色成分別に各バス線VIR、VIG、VIB、VIA、WIR、WIG、WIB、WIAに供給された場合にも、色成分相互の処理を効率よく行うことができる。

【0028】さらに図7はワークメモリ部4の全体の構成を示す。この図において、ワークメモリ部4には4個のメモリ42R、42G、42B、42Aが設けられ、それぞれデータバス7の末尾の英字の等しいバス線WIR、WIG、WIB、WIA、WOR、WOG、WO

B、WOAに接続される。またそれぞれ英字の等しいアドレス生成器41R<sub>1</sub>、41R<sub>2</sub>、41G<sub>1</sub>、41G<sub>2</sub>、41B<sub>1</sub>、41B<sub>2</sub>、41A<sub>1</sub>、41A<sub>2</sub>からのアドレスが供給される。これによってバス線WOR、WOG、WOB、WOAからのデータがメモリ42R、42G、42B、42Aの任意のアドレスに記憶され、またメモリ42R、42G、42B、42Aの任意のアドレスのデータがバス線WIR、WIG、WIB、WIAに供給される。

【0029】なおメモリ42R、42G、42B、42Aはそれぞれ2分割して書き込み、読み出しを独立に行うことができ、そのためアドレス生成器41R<sub>1</sub>、41R<sub>2</sub>、41G<sub>1</sub>、41G<sub>2</sub>、41B<sub>1</sub>、41B<sub>2</sub>、41A<sub>1</sub>、41A<sub>2</sub>はそれぞれ2個ずつ設けられている。またメモリ42R、42G、42B、42Aのアドレスは、アドレス生成器41R<sub>1</sub>、41R<sub>2</sub>、41G<sub>1</sub>、41G<sub>2</sub>、41B<sub>1</sub>、41B<sub>2</sub>、41A<sub>1</sub>、41A<sub>2</sub>からだけでなく、演算部3で計算されたアドレスを選択して用いることもでき、そのためバス線WOR、WOG、WOBがアドレス生成器41R<sub>1</sub>、41R<sub>2</sub>、41G<sub>1</sub>、41G<sub>2</sub>、41B<sub>1</sub>、41B<sub>2</sub>、41A<sub>1</sub>、41A<sub>2</sub>に接続されて、演算部3で計算されたアドレスをこれらのバス線WOR、WOG、WOBに供給することによって所望のアドレスがアドレス生成器41R<sub>1</sub>、41R<sub>2</sub>、41G<sub>1</sub>、41G<sub>2</sub>、41B<sub>1</sub>、41B<sub>2</sub>、41A<sub>1</sub>、41A<sub>2</sub>から取り出されるようになっている。さらにメモリ42R、42G、42B、42Aはそれぞれメモリバス6を経由して外部コンピュータ100から直接アクセスが行われる。

【0030】また図8は入出力部5の全体の構成を示す。この図において、入出力部5には入力側に4個のメモリ53R、53G、53B、53Aと、出力側に4個のメモリ54R、54G、54B、54Aが設けられ、それぞれ入出力データ線8に接続されると共に、入力側の4個のメモリ53R、53G、53B、53Aはそれぞれデータバス7の末尾の英字の等しいバス線VIR、VIG、VIB、VIAに接続され、出力側の4個のメモリ54R、54G、54B、54Aにそれぞれデータバス7の末尾の英字の等しいバス線VOR、VOG、VOB、VOAが接続される。さらにアドレス生成器51R<sub>1</sub>、51R<sub>2</sub>、51G<sub>1</sub>、51G<sub>2</sub>、51B<sub>1</sub>、51B<sub>2</sub>、51A<sub>1</sub>、51A<sub>2</sub>からのアドレスがそれぞれ英字の等しい入力側の4個のメモリ53R、53G、53B、53Aに供給され、アドレス生成器52R<sub>1</sub>、52R<sub>2</sub>、52G<sub>1</sub>、52G<sub>2</sub>、52B<sub>1</sub>、52B<sub>2</sub>、52A<sub>1</sub>、52A<sub>2</sub>からのアドレスがそれぞれ英字の等しい出力側の4個のメモリ54R、54G、54B、54Aに供給される。

【0031】なおメモリ53R、53G、53B、53A、54R、54G、54B、54Aはそれぞれ2分割

して書き込み、読み出しを独立に行うことができ、そのためアドレス生成器51R<sub>1</sub>、51R<sub>2</sub>、51G<sub>1</sub>、51G<sub>2</sub>、51B<sub>1</sub>、51B<sub>2</sub>、51A<sub>1</sub>、51A<sub>2</sub>、52R<sub>1</sub>、52R<sub>2</sub>、52G<sub>1</sub>、52G<sub>2</sub>、52B<sub>1</sub>、52B<sub>2</sub>、52A<sub>1</sub>、52A<sub>2</sub>はそれぞれ2個ずつ設けられている。また各アドレス生成器51R<sub>1</sub>、51R<sub>2</sub>、51G<sub>1</sub>、51G<sub>2</sub>、51B<sub>1</sub>、51B<sub>2</sub>、51A<sub>1</sub>、51A<sub>2</sub>、52R<sub>1</sub>、52R<sub>2</sub>、52G<sub>1</sub>、52G<sub>2</sub>、52B<sub>1</sub>、52B<sub>2</sub>、52A<sub>1</sub>、52A<sub>2</sub>はそれぞれ英字の等しいデータ流れ制御部プロセッサ21R、21G、21B、21Aからの制御信号によってパラメータ設定や生成開始等の制御が行われる。さらに入力側の4個のメモリ53R、53G、53B、53Aの書き込みを担当するアドレス生成器51R<sub>1</sub>、51R<sub>2</sub>、51G<sub>1</sub>、51G<sub>2</sub>、51B<sub>1</sub>、51B<sub>2</sub>、51A<sub>1</sub>、51A<sub>2</sub>と、出力側の4個のメモリ54R、54G、54B、54Aの読み出しを担当するアドレス生成器52R<sub>1</sub>、52R<sub>2</sub>、52G<sub>1</sub>、52G<sub>2</sub>、52B<sub>1</sub>、52B<sub>2</sub>、52A<sub>1</sub>、52A<sub>2</sub>はアドレス生成時に外部クロックで動作される。

【0032】さらに図9は、演算部3を形成するプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>の内の1つのプロセッサ31の制御系の構成を示し、この構成は全てのプロセッサに共通のものである。この図において、301は選択器、302はプログラムコントローラ、303はマップレジスタ、304は選択器、305は1段目レジスタ、306はマイクロプログラムメモリ、307は2段目レジスタ、308は選択器、309はループカウンタである。

【0033】そしてこの構成において、選択器301は状態信号CC0・・・CC31の1つを選択し、プログラムコントローラ302の制御コードとして用いるものである。マップレジスタ303は外部コンピュータ100から供給されるMAPデータを保持し、このMAPデータは通常プログラムの実行開始アドレスとして用いられる。またこの装置では、プログラムコントローラ302とマイクロプログラムメモリ306との間に1段目レジスタ305が設けられており、これによってプログラムコントローラ302の信号処理時間とマイクロプログラムメモリ306のアクセス時間の合計時間（プログラムコントローラ302のアドレス生成時間+マイクロプログラムメモリ306のアクセス時間）から両者の遅い方の時間にスピードアップして動作できる。なお合計時間での動作で支障の無いときはレジスタ305は不要である。

【0034】さらにプログラムコントローラ302はマイクロプログラムメモリ306のアドレスを生成する。このアドレスは、2段目レジスタ307からのアドレスデータとマップレジスタ303の出力の一方が2段目レ

ジスタ307からの選択信号で選択され、この選択されたアドレスデータが2段目レジスタ307からの次期命令INSTと選択器301からの制御コードによって、そのままマイクロプログラムメモリ306のアドレスになる場合や、単に現在のアドレスに1を加えたアドレスになる場合がある。そしてプログラムコントローラ302で生成されたアドレスは1段目レジスタ305でラッチされてマイクロプログラムメモリ306に供給される。

【0035】またマイクロプログラムメモリ306からは、2段目レジスタ307の入力になる信号と、後述する信号系に行く信号NUMが取り出される。さらに2段目レジスタ307からは、上述した信号の他に、選択器301の選択信号や、後述する信号系の制御及び他のプロセッサと通信するための信号が取り出される。

【0036】さらにループカウンタ309はプログラムのループ回数を制御する信号を生成する。すなわちこのループカウンタ309の入力には、2段目レジスタ307からのアドレスデータ、後述する信号系の算術論理演算器312からのデータ、及び、同じく信号系のスタックSTKからの信号の中から選択器308で選択された信号が供給される。そしてこのループカウンタ309で所定の回数のループが終了したか否かを示す信号が生成され、この信号が選択器301の状態信号CC31になる。

【0037】また図10は、演算部3を形成するプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>の内の1つのプロセッサ31の信号系の構成を示し、この構成は全てのプロセッサに共通のものである。この図において、信号系は3つの算術論理演算器(ALU)311、312、313と乗算器(MPY)314、係数メモリ315、プロセッサ固有のワークメモリ316、317とからなる。なお上述の制御系からの信号NUMは信号系の4箇所(選択器318、レジスタ(R)319、選択器320、321)に入力でき、例えばマイクロプログラムで定義する定数として処理に利用される。

【0038】そしてこの構成において、係数メモリ315には処理に必要な大量のデータ、例えばフーリエ変換の三角関数表などを収容するのに使用される。この係数メモリ315に対するアドレスは算術論理演算器311からレジスタ322を通じて供給される。また信号系のデータは乗算器314に入力される際、2つのデータが選択器323、324で制御系からの指示で選択される。さらに乗算器314の出力側の325は丸め回路(RND)、算術論理演算器312の出力側の326はクリップ回路(CLIP)、327は絶対値回路(ABS)、328はスタック(STK)である。

【0039】またプロセッサ固有のワークメモリ316、317に対するアドレスは算術論理演算器313か

らレジスタ329を通じて供給される。これらのワークメモリ316、317はプロセッサとデータバス7とのデータの入出力にも使用され、プロセッサの入力データは末尾の英字の等しいバス線VIR、VIG、VIB、VIA、WIR、WIG、WIB、WIAから供給され、出力データはバス線VOR、VOG、VOB、VOA、WOR、WOG、WOB、WOAに供給される。なおバス線VIR、VIG、VIB、VIA、WIR、WIG、WIB、WIAと接しているレジスタ330、331のラッチ制御、及び、バス線VOR、VOG、VOB、VOA、WOR、WOG、WOB、WOAと接しているレジスタ332、333の出力制御はデータ流れ制御部2によって行われる。さらにDBE<sub>0</sub>、DBE<sub>21</sub>、DBE<sub>22</sub>、DBE<sub>31</sub>、DBE<sub>32</sub>、DBE<sub>4</sub>、DBE<sub>5</sub>は装置の診断やプログラム開発を効率よく行えるように用意されたデバッグデータの取り出し口である。

【0040】装置の構成は以上のようにになっている。そこで外部コンピュータ100からVMEバス200経由で装置制御部1にプログラムのロードが指示されると、メモリバス制御部11と動作制御レジスタ13からの制御信号によって、VMEバス200、装置制御部1、メモリバス6を通じて、装置制御部1の装置制御部プロセッサ12、データ流れ制御部2の4個のデータ流れ制御部プロセッサ21R、21G、21B、21A、演算部3の例えば72個のプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>にプログラムと処理に必要なデータがロードされる。これによって装置内のプロセッサは動作可能にされる。なお演算部3の例えば72個のプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>にロードされるプログラムは処理内容により同じ場合もあれば、各プロセッサにより異なる場合もある。

【0041】さらに処理対象データの inputs は、外部コンピュータ100からワークメモリ部4を通じて、または外部インターフェース(図示せず)から入出力部5を通じて行うことができる。まず外部コンピュータ100から行う場合には、外部コンピュータ100からワークメモリ部4の4個のメモリ42R、42G、42B、42Aにデータを転送する。これは外部コンピュータ100からVMEバス200経由で装置制御部1にワークメモリ部4へデータを転送することが指示されると、メモリバス制御部11と動作制御レジスタ13からの制御信号によって、VMEバス200、装置制御部1、メモリバス6を通じて、ワークメモリ部4の4個のメモリ42R、42G、42B、42Aにデータが転送される。この場合の制御は外部コンピュータ100の主導で行われ、装置は実行状態でなくてもよい。

【0042】また処理対象データの inputs を外部インターフェースから入出力部5を通じて行う場合には、外部イ



インターフェースからのデータ転送制御信号（例えば画像データの場合のフレーム開始信号やライン開始信号）をデータ流れ制御部2が受け、入出力部5の書き込み用アドレス生成器51R<sub>1</sub>、51R<sub>2</sub>、51G<sub>1</sub>、51G<sub>2</sub>、51B<sub>1</sub>、51B<sub>2</sub>、51A<sub>1</sub>、51A<sub>2</sub>がデータ流れ制御部2からの制御信号で起動される。そして入力側の4個のメモリ53R、53G、53B、53Aに外部インターフェースからのデータが外部インターフェースのクロックに同期して転送される。この場合に、外部コンピュータ100は装置のプログラムを起動し、その後処理の主導権を装置側に移す。

【0043】さらに外部コンピュータ100からワークメモリ部4または外部インターフェースから入出力部5に転送されたデータを、演算部3の例えば72個のプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>に配給する動作は次のようにして行われる。まず外部コンピュータ100からワークメモリ部4に転送されたデータを配給する場合には、データ流れ制御部2にロードされたプログラムの指示に従って、データ流れ制御部2がワークメモリ部4の読み出し用アドレス生成器41R<sub>1</sub>、41G<sub>1</sub>、41B<sub>1</sub>、41A<sub>1</sub>を起動し、同時にデータを配給する演算部3のプロセッサの入力側のバス線WIR、WIG、WIB、WIAと接しているレジスタ332にラッチ制御信号を供給する。これによってワークメモリ部4に転送されたデータが演算部3の指定したプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>に配給される。

【0044】また外部インターフェースから入出力部5に転送されたデータを配給する場合には、データ流れ制御部2にロードされたプログラムの指示に従って、データ流れ制御部2が入出力部5の入力側のアドレス生成器52R<sub>1</sub>、52R<sub>2</sub>、52G<sub>1</sub>、52G<sub>2</sub>、52B<sub>1</sub>、52B<sub>2</sub>、52A<sub>1</sub>、52A<sub>2</sub>を起動し、以下同様に、同時にデータを配給する演算部3のプロセッサの入力側のバス線VIR、VIG、VIB、VIAと接しているレジスタ330にラッチ制御信号を供給する。これによって入出力部5に転送されたデータが演算部3の指定したプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>に配給される。

【0045】さらにデータ流れ制御部2は、演算部3のプロセッサと個々に通信してデータの集配のタイミングをとる。また演算部3のプロセッサのレジスタ330、331にラッチされたデータは演算部3のプロセッサの信号系で生成されるアドレスでプロセッサ固有のワークメモリ316または317に格納される。なおプロセッサに入力されるデータは孤立データの場合やブロックデータの場合もある。これらのワークメモリ316または317に格納されたデータは再び信号系で生成されるア

ドレスで読み出され、プロセッサ内の演算機能を用いて予めロードされたプログラムの指示で目的の処理が行われる。この処理されたデータは再び信号系で生成されるアドレスでワークメモリ316または317に格納される。

【0046】また演算部3の例えば72個のプロセッサ31R<sub>1</sub>～31R<sub>18</sub>、31G<sub>1</sub>～31G<sub>18</sub>、31B<sub>1</sub>～31B<sub>18</sub>、31A<sub>1</sub>～31A<sub>18</sub>で処理されたデータを、ワークメモリ部4または入出力部5に回収する動作は次のようにして行われる。まずワークメモリ部4に回収する場合には、データ流れ制御部2が演算部3のプロセッサと個々に通信し、演算部3のプロセッサはデータ出力の許可が得られると、プロセッサ固有のワークメモリ317にアドレスを供給してデータを読み出し、出力側レジスタ333にデータを順次セットする。さらにデータ流れ制御部2から出力側レジスタ333に出力制御信号を供給し、データを出力側のバス線WOR、WOG、WOB、WOAに供給する。同時にデータ流れ制御部2がワークメモリ部4の書き込み用アドレス生成器41R<sub>2</sub>、41G<sub>2</sub>、41B<sub>2</sub>、41A<sub>2</sub>を起動し、メモリ42R、42G、42B、42Aにデータが格納される。

【0047】さらに入出力部5に回収する場合には、データ流れ制御部2が演算部3のプロセッサと個々に通信し、演算部3のプロセッサはデータ出力の許可が得られると、プロセッサ固有のワークメモリ316にアドレスを供給してデータを読み出し、出力側レジスタ331にデータを順次セットする。さらにデータ流れ制御部2から出力側レジスタ331に出力制御信号を供給し、データを出力側のバス線VOR、VOG、VOB、VOAに供給する。同時にデータ流れ制御部2が入出力部5の出力側のアドレス生成器51R<sub>1</sub>、51R<sub>2</sub>、51G<sub>1</sub>、51G<sub>2</sub>、51B<sub>1</sub>、51B<sub>2</sub>、51A<sub>1</sub>、51A<sub>2</sub>を起動し、出力側のメモリ54R、54G、54B、54Aにデータが格納される。

【0048】またワー8メモリ部4から外部コンピュータ100、または入出力部5から外部インターフェース（図示せず）へ処理データを出力する動作は次のようにして行われる。まずワークメモリ部4から外部コンピュータ100へ処理データを出力する場合は、外部コンピュータ100からVMEバス200経由で装置制御部1にワークメモリ部4のデータを外部コンピュータ100へ転送することが指示されると、メモリバス制御部11と動作制御レジスタ13からの制御信号によって、ワークメモリ部4の4個のメモリ42R、42G、42B、42AのデータがVMEバス200、装置制御部1、メモリバス6を通じて、外部コンピュータ100へ転送される。この場合の制御は外部コンピュータ100の主導で行われ、装置は実行状態でなくてもよい。

【0049】さらに入出力部5から外部インターフェー

スへ処理データを出力する場合には、外部インターフェースからのデータ転送制御信号（例えば画像データの場合のフレーム開始信号やライン開始信号）をデータ流れ制御部2が受け、入出力部5の読み出し用アドレス生成器52R<sub>1</sub>、52R<sub>2</sub>、52G<sub>1</sub>、52G<sub>2</sub>、52B<sub>1</sub>、52B<sub>2</sub>、52A<sub>1</sub>、52A<sub>2</sub>がデータ流れ制御部2からの制御信号で起動される。そして出力側の4個のメモリ54R、54G、54B、54Aからのデータが外部インターフェースのクロックに同期して外部インターフェースに転送される。この場合に、外部コンピュータ100は装置のプログラムを起動し、その後処理の主導権を装置側に移す。

【0050】以上が一般的な処理の流れである。この他に上述の装置では演算部3で処理されたデータを一旦ワークメモリ部4に格納し、それを再度読み出して処理を行う場合などにも適用できる。これは例えば別画像との相関処理を行う場合に必要とされるものであるが、その場合には、例えば上述の段落番号【0035】【0037】【0038】の処理を繰り返し行うことで実行できる。

【0051】こうして画像処理を行うことができる訳であるが、上述の装置によれば、外部コンピュータ100からのプログラムがプログラムバッファメモリ9に書き込まれた後、演算部3にロードされるようにしているので、プログラムの転送を効率よく行うことができるものである。

【0052】また上述の装置によれば、転送したプログラムを外部コンピュータ100から再度読み出せるので、プログラムバッファメモリ9の動作が正しく行われているか診断を行うことができる。また外部コンピュータ100が転送したデータを再び外部コンピュータ100側から読み出して確認を行うことができるので、何を送ったかの情報を外部コンピュータ100側で保持しておく必要がない。

# 【0053】

【発明の効果】この発明によれば、外部コンピュータからのプログラムがプログラムバッファメモリに書き込まれた後、演算部にロードされるようにしているので、プログラムの転送を効率よく行うことができるようになった。

## 【図面の簡単な説明】

【図1】本発明による画像処理装置の一例の構成図である。

【図2】装置制御部の具体構成図である。

【図3】装置制御部プロセッサの具体構成図である。

【図4】データ流れ制御部と装置制御部及び演算部の関係を示す説明図である。

【図5】データ流れ制御部とワークメモリ部及び入出力部の関係を示す説明図である。

【図6】演算部の全体の構成図である。

【図7】ワークメモリ部の全体の構成図である。

【図8】入出力部の全体の構成図である。

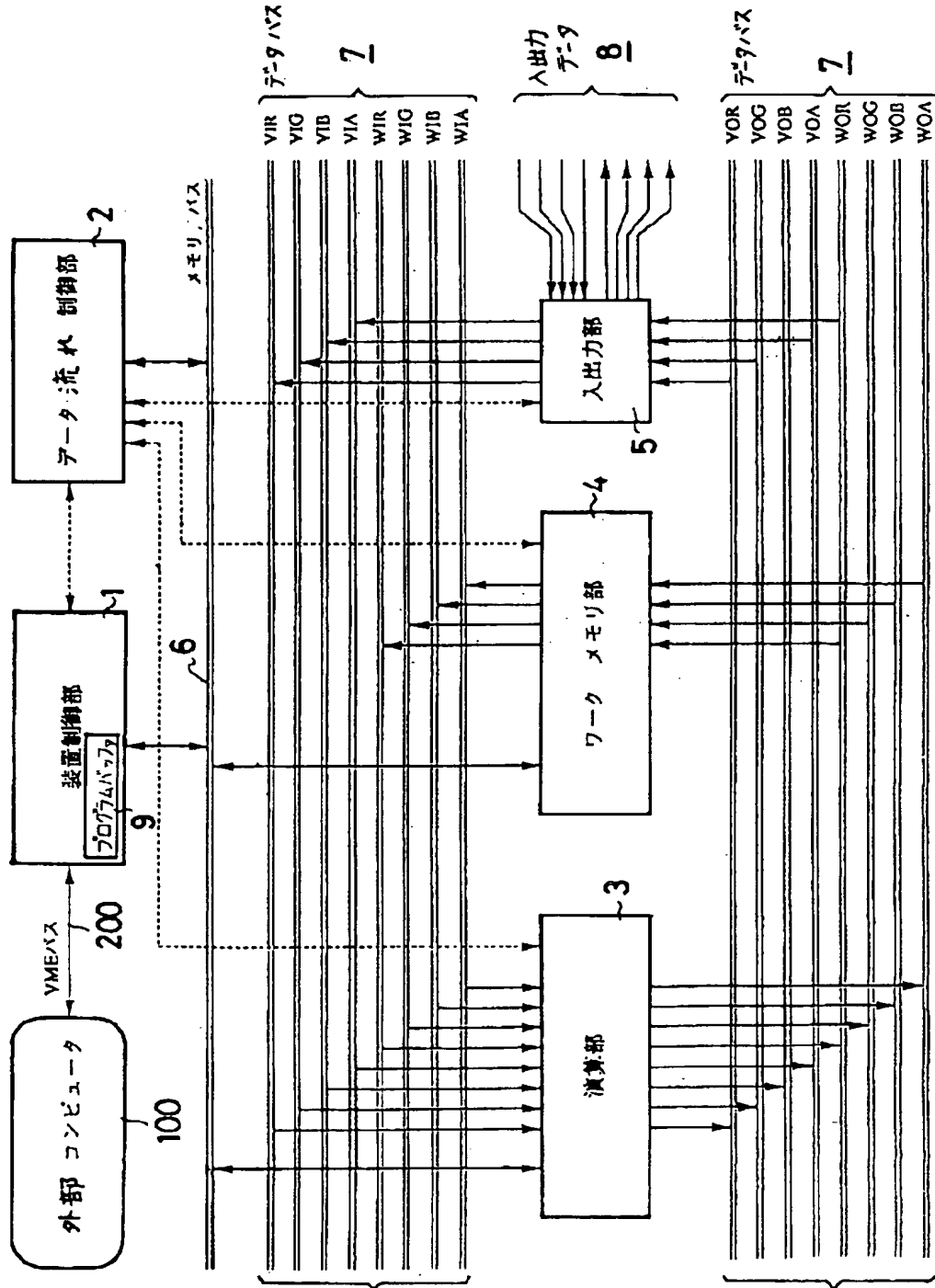
【図9】演算部を形成する1つのプロセッサの制御系の構成図である。

【図10】演算部を形成する1つのプロセッサの信号系の構成図である。

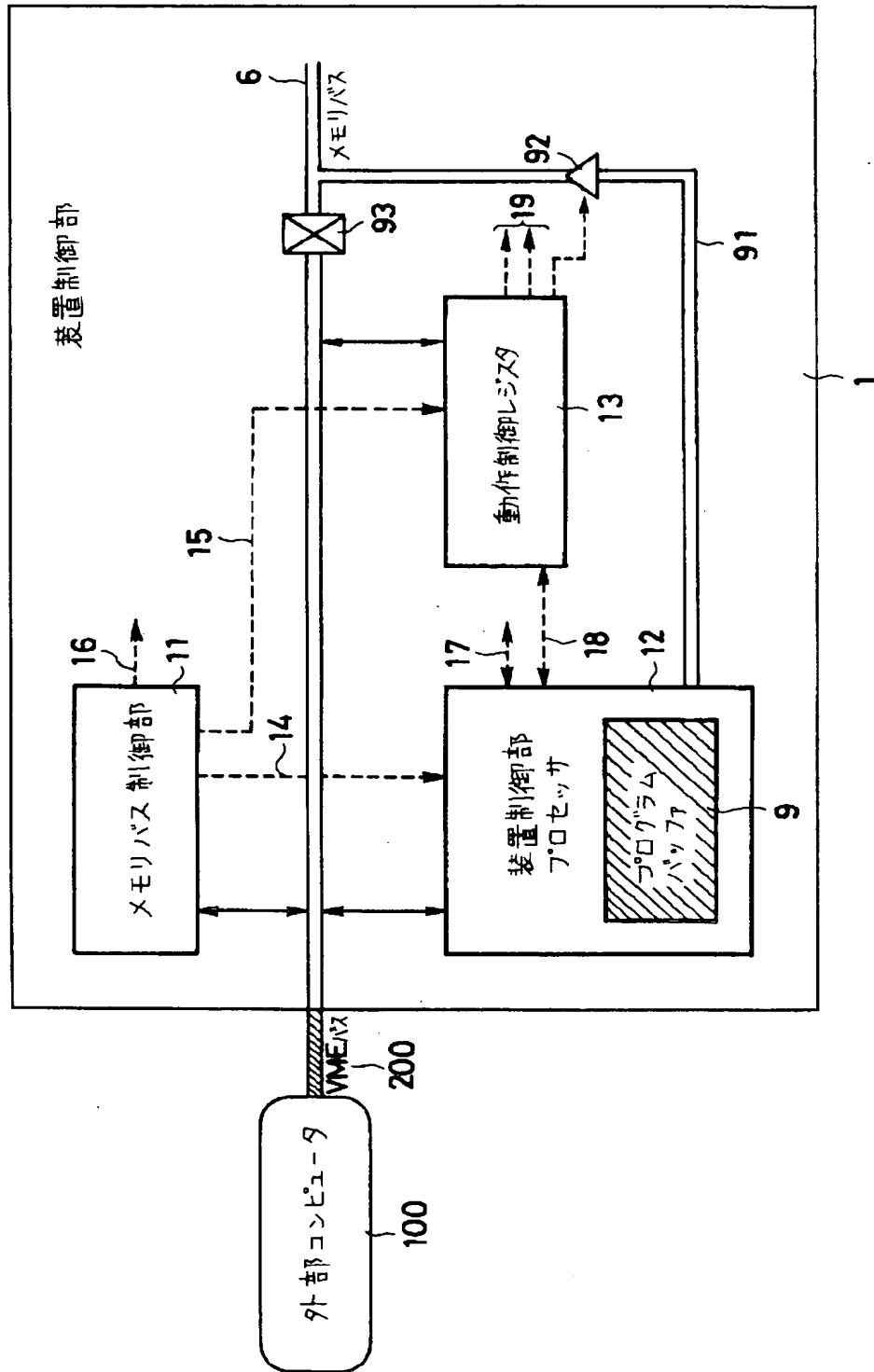
## 【符号の説明】

- 1 装置制御部
- 2 データ流れ制御部
- 3 演算部
- 4 ワークメモリ部
- 5 入出力部
- 6 メモリバス
- 7 データバス
- 8 入出力データ線
- 9 プログラムバッファメモリ
- 100 外部コンピュータ
- 200 システムバス

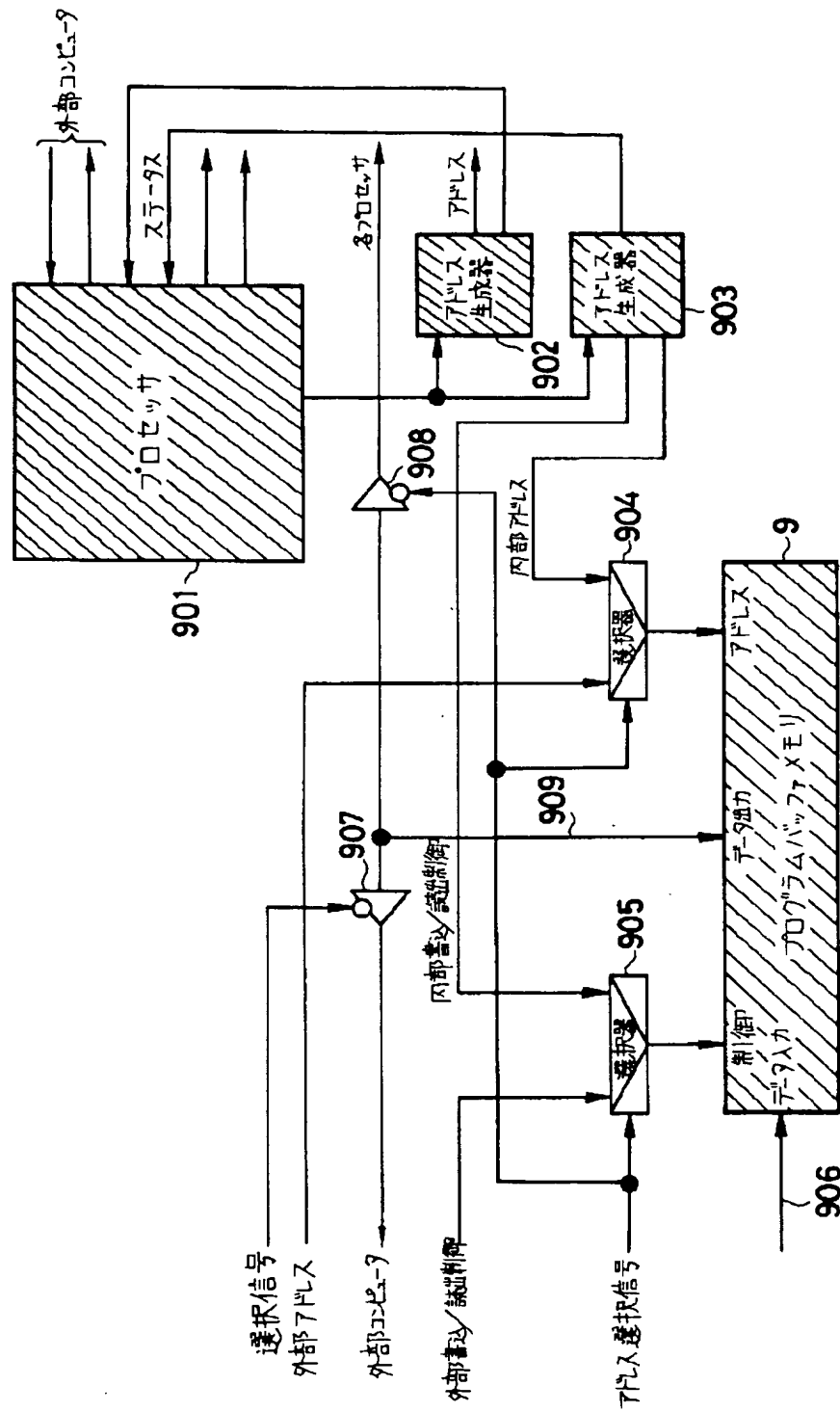
【図1】



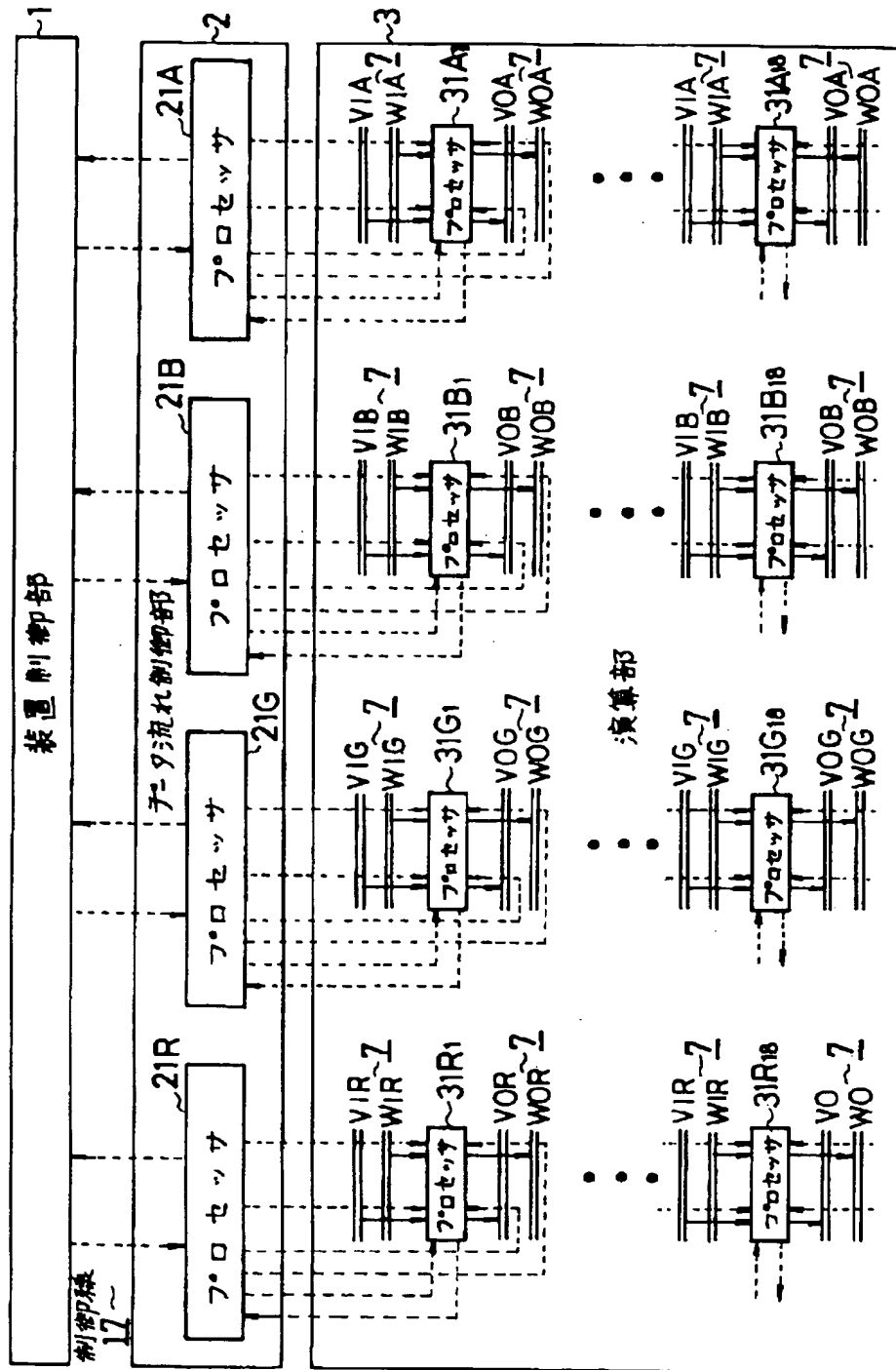
【図2】



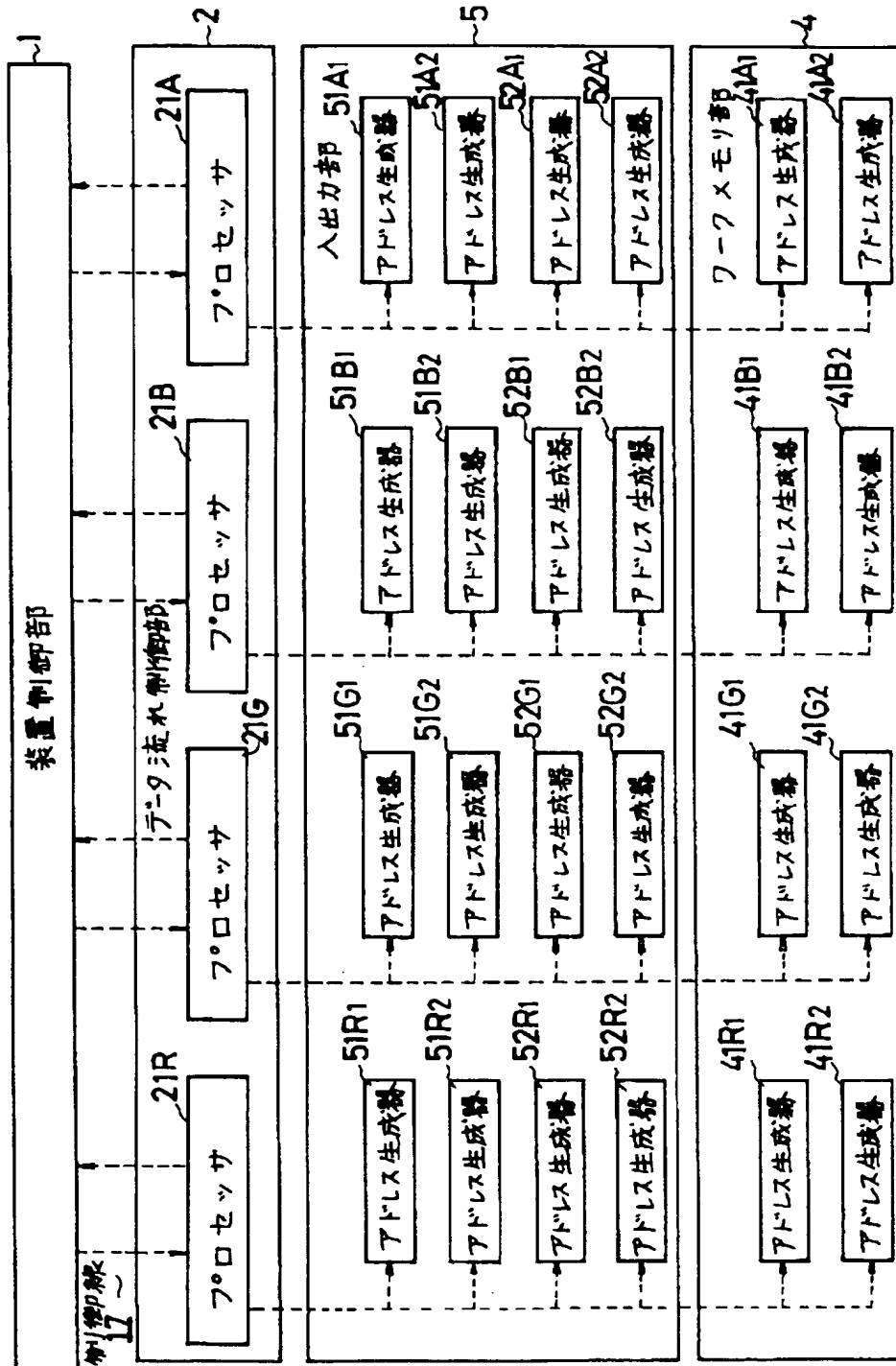
【図3】



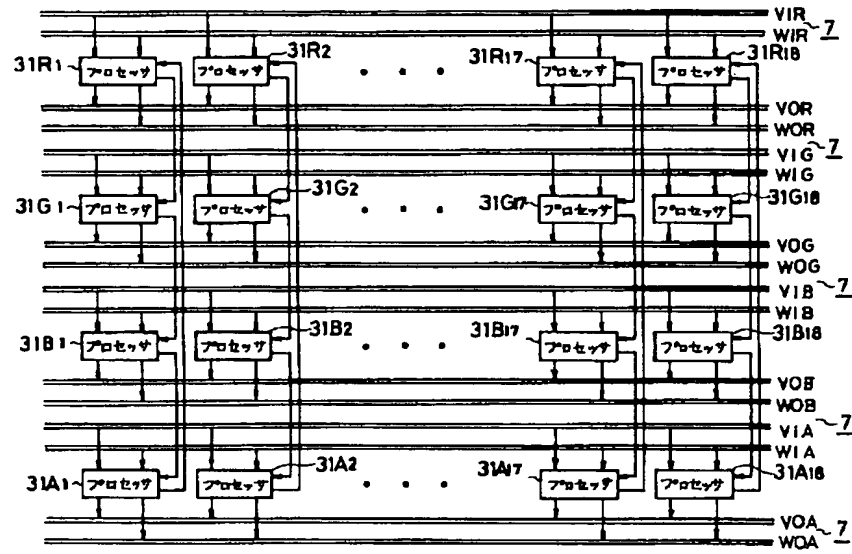
【図4】



【図5】

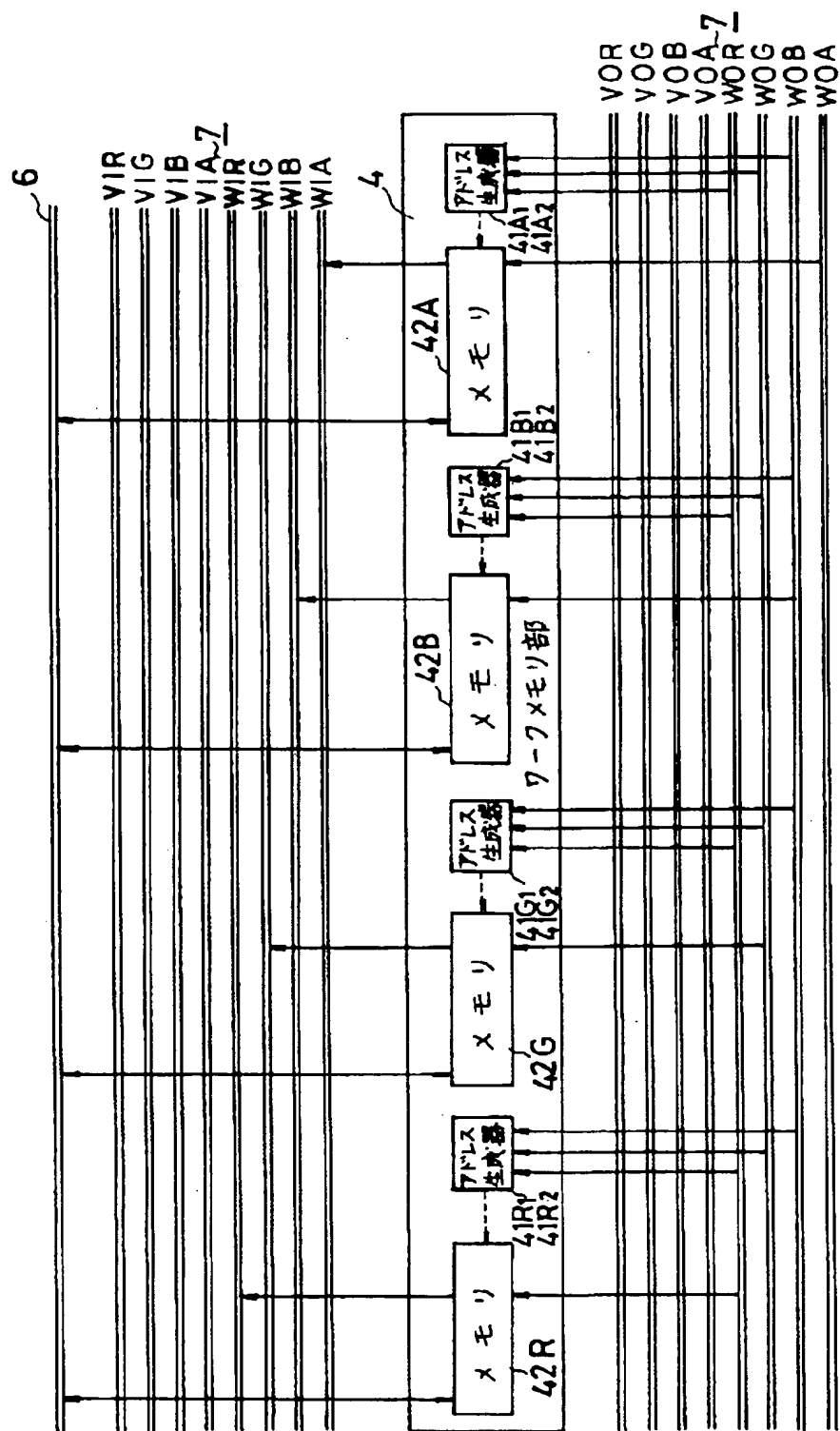


【図6】

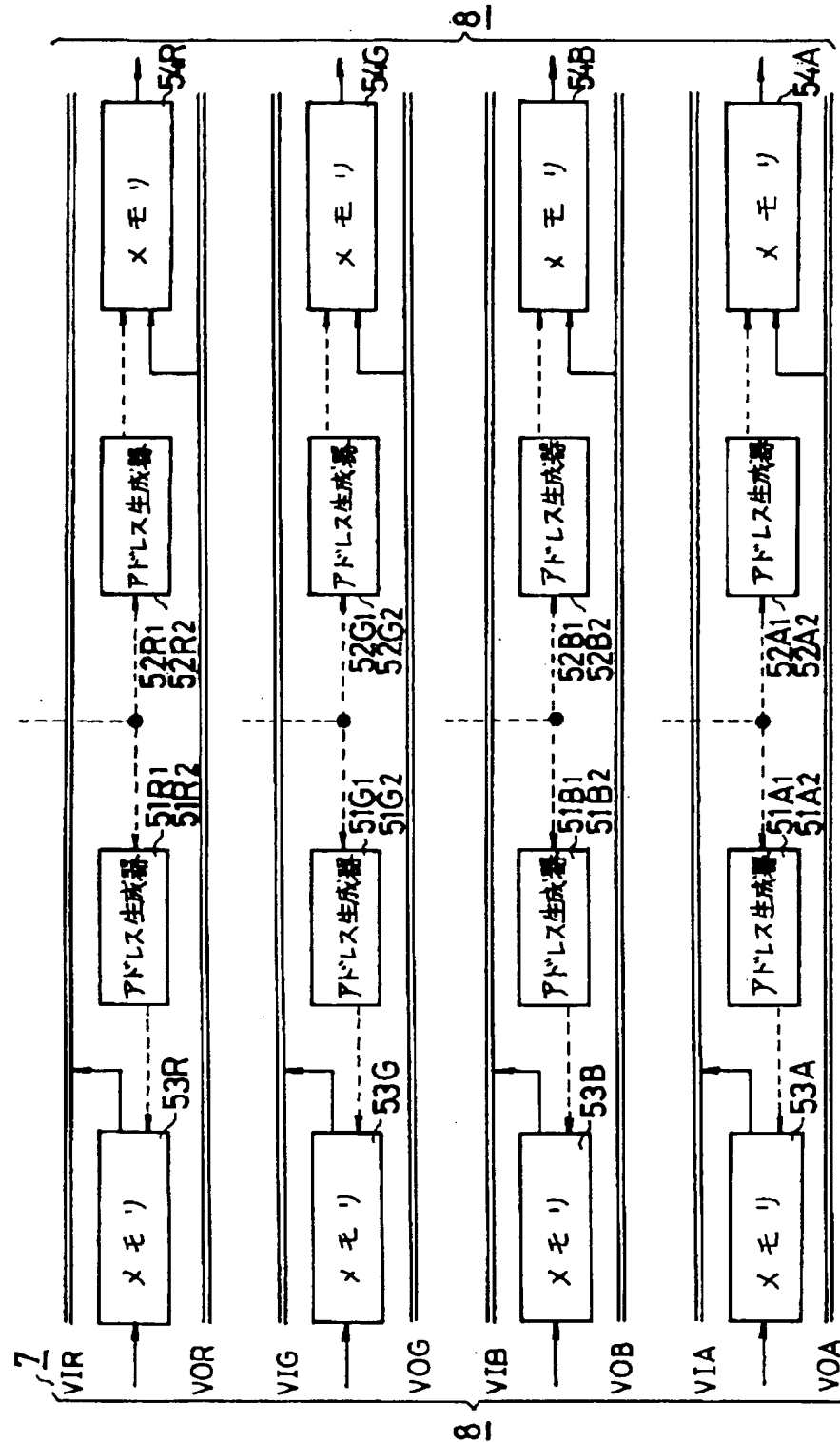




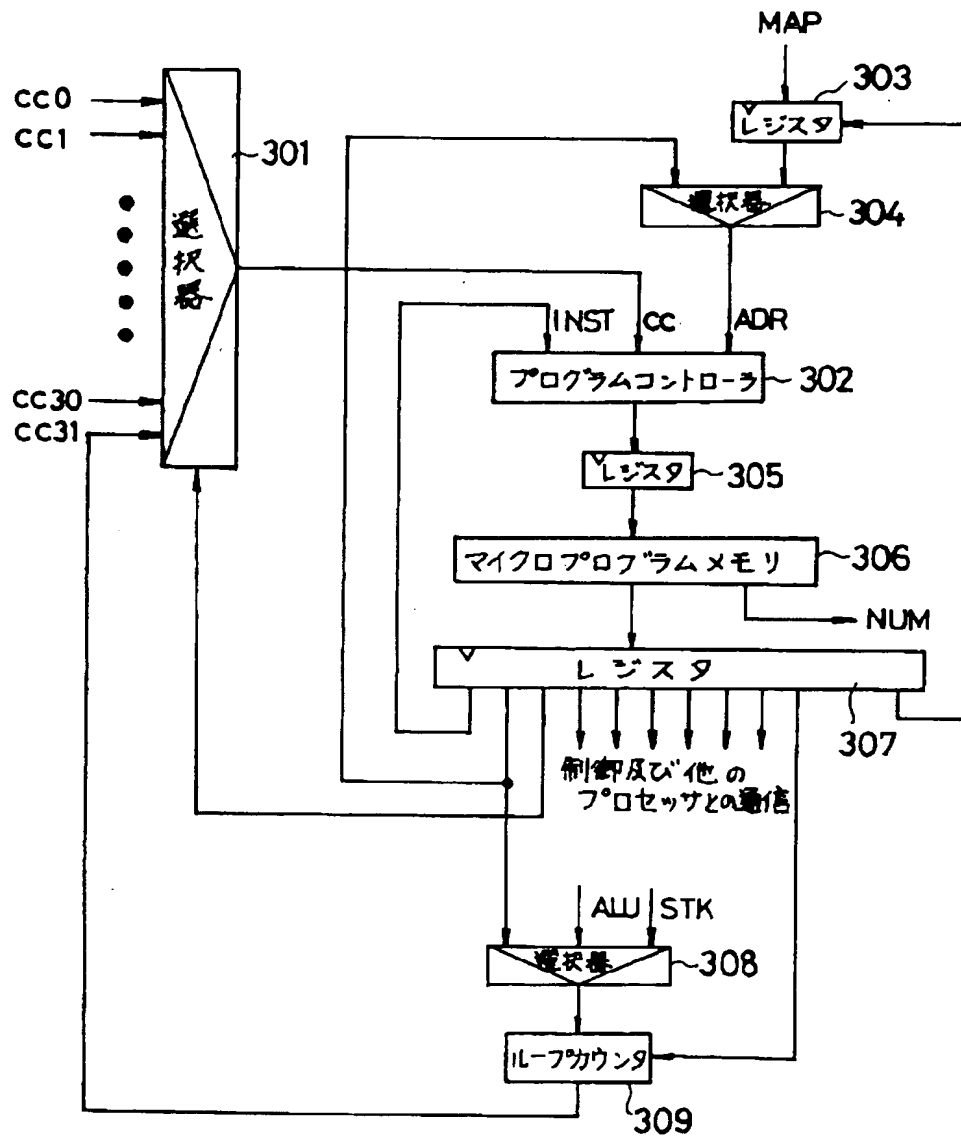
【図7】



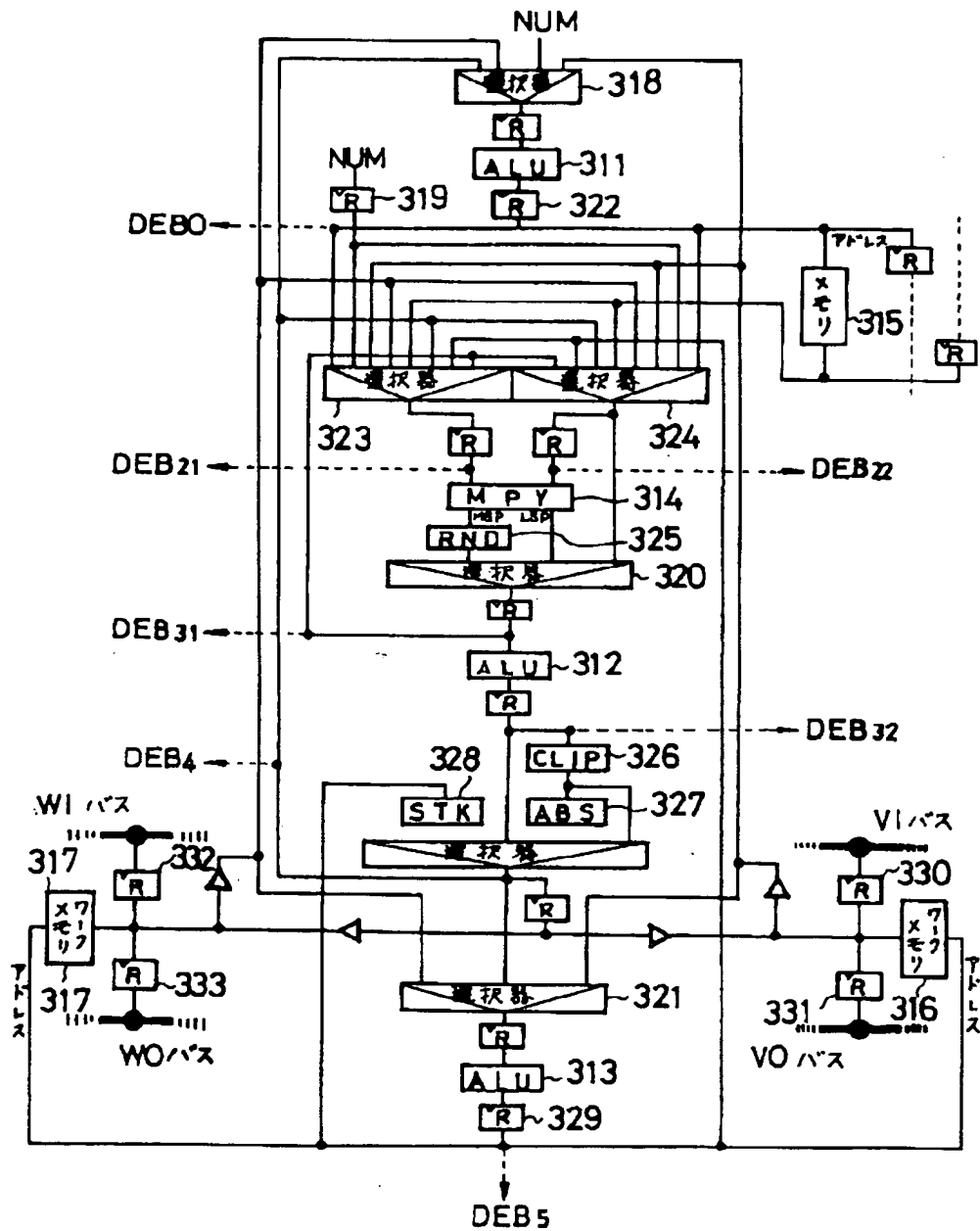
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 加藤 正裕  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内